

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-181289

(43)Date of publication of application : 28.06.1994

(51)Int.Cl.

H01L 27/04

H01L 23/50

(21)Application number : 04-353627

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.12.1992

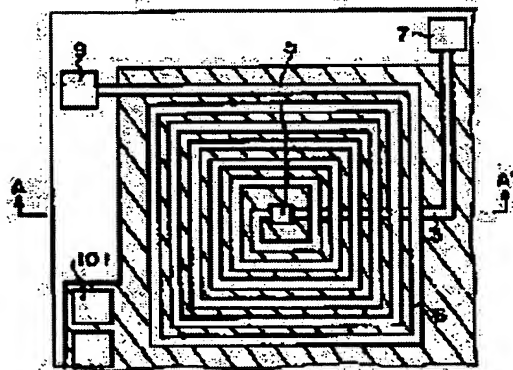
(72)Inventor : KOZONO HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device which is used in a high frequency band and has an inductance to be freely placed.

CONSTITUTION: A metal thin film grounded substantially on an entire surface except a peripheral part is formed on a surface of a semiconductor substrate through an insulating film made of polyimide, etc., and an inductance 6 is formed thereon also through a polyimide film. Pads 7, 9 of the inductance 6 and a pad 101 of the metal thin film are formed on a peripheral edge part not formed with the metal thin film. Since the metal thin film is formed, high frequency characteristics are improved, a position of the inductance 6 can be formed at an arbitrary place on the metal thin film, and the degree of freedom of design is increased.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-181289

(43)公開日 平成6年(1994)6月28日

(51)Int.Cl.⁵

H 0 1 L 27/04
23/50

識別記号

庁内整理番号

L 8427-4M
X 9272-4M

F I

技術表示箇所

審査請求 未請求 請求項の数7(全 13 頁)

(21)出願番号 特願平4-353627

(22)出願日 平成4年(1992)12月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小園 浩由樹

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

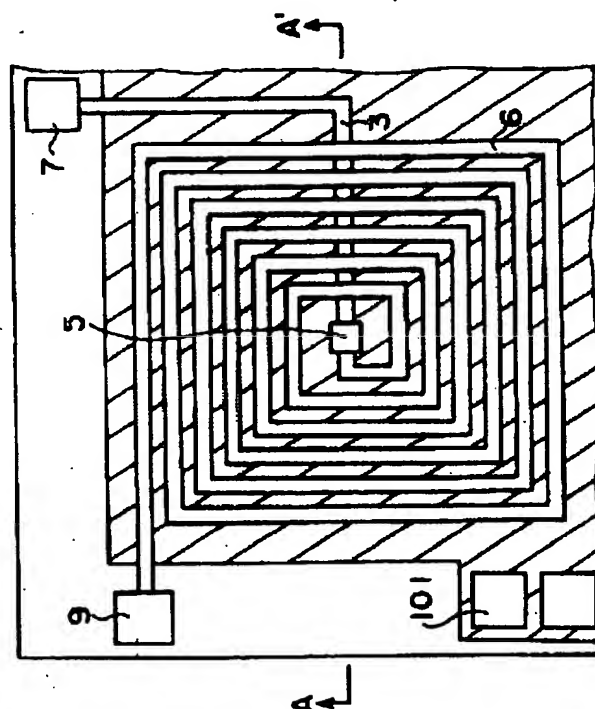
(74)代理人 弁理士 竹村 壽

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 高周波領域においても使用され、自由な配置が可能なインダクタンスを備えた半導体装置を提供する。

【構成】 半導体基板1の表面には、ポリイミドなどの絶縁膜を介して、周辺部分を除いてほぼ全面に接地された金属薄膜10が形成され、その上にやはりポリイミド膜を介してインダクタンス6が形成されている。金属薄膜10の形成されていない周縁部分には、インダクタンス6のパッド7、9や金属薄膜10のパッド101が形成されている。金属薄膜10が形成されているので、高周波特性が良く、かつ、インダクタンス6の位置は、金属薄膜10の上の任意の場所に形成することができ、設計上の自由度が大きくなる。



【特許請求の範囲】**【請求項1】** 半導体基板と、

前記半導体基板の主面上に形成されている第1の絶縁膜と、

前記第1の絶縁膜上に形成され、前記半導体基板主面のほぼ全面を被覆する接地された金属薄層と、

前記金属薄層を被覆するように前記半導体基板主面上に形成されている第2の絶縁膜と、

前記金属薄層の上に配置されるように、前記第2の絶縁膜上に形成されているインダクタンスとを備えていることを特徴とする半導体装置。

【請求項2】 半導体基板と、

前記半導体基板の主面上に形成されている第1の絶縁膜と、

前記第1の絶縁膜上に形成されているインダクタンスと、

前記インダクタンスを被覆するように前記第1の絶縁膜上に形成されている第2の絶縁膜と、

前記第2の絶縁膜上に形成され、前記半導体基板主面のほぼ全面を被覆する接地された金属薄層とを備えていることを特徴とする半導体装置。

【請求項3】 前記金属薄層とは接続配線によって接続されている金属層がさらに前記インダクタンスと同一平面上にこれに近接して形成されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記金属薄層上の絶縁膜の上に金属膜を設け、この金属膜を第1の電極、前記金属薄層を第2の電極とするキャパシタを形成することを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記インダクタンスには、その両端に形成した端子とその中間に形成された少なくとも1つの端子とを備えていることを特徴とする請求項1乃至請求項4のいずれかに記載の半導体装置。

【請求項6】 半導体基板と、

前記半導体基板が載置されるデバイスホールを有する絶縁フィルムと、

前記絶縁フィルムの第1の主面に形成され、前記半導体基板と電気的に接続されているインダクタンスと、

前記絶縁フィルムの第1の主面に形成され、その一端が前記半導体基板の接続電極と接続されている複数のリードと、

前記絶縁フィルムの第2の主面のほぼ全面に対向し、これと接合している接地された金属薄膜とを備えていることを特徴とする半導体装置。

【請求項7】 少なくとも1つの半導体基板と、

2つ以上の基板載置部が形成されているリードフレームと、

少なくとも1つの前記基板載置部のほぼ全面に形成されている絶縁膜と、

前記絶縁膜の上に形成されているインダクタンスとを備

え、

前記インダクタンスが形成されている前記基板載置部には半導体基板を載置せず、かつ、この基板載置部は接地されており、残りの前記基板載置部には前記半導体基板がそれぞれ載置されていることを特徴とする半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、インダクタンスを備え、高周波特性に優れた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 IC、LSIなどの半導体装置には、インダクタンス、抵抗、キャパシタなどの受動素子を備えている。図20及び図21を参照してインダクタンスを備えた従来の半導体装置について説明する。半導体基板として、例えば、シリコン半導体基板13を用い、この半導体基板13主面の表面領域にMOSICやバイポーラICなどの集積回路（図示せず）が形成されている。この半導体基板13上には、 SiO_2 などの層間絶縁膜2が形成されており、その上に、半導体基板13の内部に形成されている前記集積回路と電気的に接続された所定のパターンを有するA1もしくはポリシリコンなどの配線3が形成されている。接続配線3と前記集積回路との接続は、配線3を半導体基板13主面の周辺部に形成されている電極パッドに接続し、この電極パッドを半導体基板13内部の前記集積回路に接続することによって行われる。この配線3をこの様に電極パッドに接続しなくとも直接半導体基板13の素子領域に接続することもできるし、或いは、この集積回路と接続されている半導体基板13上の単層又は多層配線と接続することもできる。さらに、この配線3の上に SiO_2 などの層間絶縁膜4を施して配線3を被覆する。層間絶縁膜4は、表面を平坦化し、この上にフォトレジストなどを用いてA1などからなるプレーナ型のインダクタンス6を渦巻き状に形成する。この渦巻き状のインダクタンス6の中心には、端子5が形成されており、この端子5は、層間絶縁膜4に形成したコンタクト孔41を介して前記配線3に接続している。このインダクタンス6は、BPSGなど周知の絶縁膜からなるパッシベーション膜（図示せず）で被覆保護される。前記半導体基板13は、内部に集積回路が形成されているが、この半導体基板には、内部回路は形成しないで、内部に集積回路が形成されている少なくとも1つの半導体基板を別に用意し、この半導体基板13とともに1つのパッケージに封止してマルチチップ型半導体装置とすることも知られている。

【0003】

【発明が解決しようとする課題】 近年半導体装置は、高周波での使用が多くなっている。前述した従来のインダクタンスを含む半導体装置は、高周波領域での使用を考

慮すると渦巻き状のインダクタンスにおける信号の反射が大きな問題になってきた。これは、特に特性インピーダンスの整合がなされていないことに原因がある。従来層間絶縁膜にはシリコンの酸化膜が使用されているが、その誘電率が大きいので配線間の容量が大きくなるという問題もある。配線材料には、通常、Alなどを用いているが、その抵抗が大きく、半導体装置の微細化が進むに連れて抵抗成分は増加する。したがって、この構造の半導体装置では、100MHz以上の周波数帯では、Qファクタが低下して良好なインダクタンスが形成できない。また、インダクタンスの面積の集積回路に占める割合は、かなり大きくなり、集積回路中に取込む事は困難であった。本発明は、このような事情によりなされたもので、高周波領域においても使用でき、かつ、自由な配置が可能なプレーナ型インダクタンスを備えた半導体装置を提供することを目的にしている。

【0004】

【課題を解決するための手段】本発明は、半導体基板上に形成されたインダクタンスに近接して接地された金属薄層を形成し、さらに層間絶縁膜の材料に低誘電率材料を使用することを特徴としている。本発明の半導体装置は、半導体基板と、前記半導体基板の主面上に形成されている第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記半導体基板主面のほぼ全面を被覆する接地された金属薄層と、前記金属薄層を被覆するように前記半導体基板主面上に形成されている第2の絶縁膜と、前記金属薄層の上に配置されるように、前記第2の絶縁膜上に形成されているインダクタンスとを備えていることを第1の特徴としている。また、半導体基板と、前記半導体基板の主面上に形成されている第1の絶縁膜と、前記第1の絶縁膜上に形成されているインダクタンスと、前記インダクタンスを被覆するように前記第1の絶縁膜上に形成されている第2の絶縁膜と、前記第2の絶縁膜上に形成され前記半導体基板主面のほぼ全面を被覆する接地された金属薄層とを備えていることを第2の特徴としている。前記金属薄層とは接続配線によって接続されている金属層がさらに前記インダクタンスと同一平面上に、これに近接して形成することができる。前記金属薄層上の絶縁膜の上に金属膜を設け、この金属膜を第1の電極、前記金属薄層を第2の電極とするキャパシタを形成することができる。

【0005】前記インダクタンスには、その両端に形成した端子とその中間に形成された少なくとも1つの端子とを備えている事ができる。さらに、半導体基板と、前記半導体基板が載置されるデバイスホールを有する絶縁フィルムと、前記絶縁フィルムの第1の主面に形成され、前記半導体基板と電気的に接続されているインダクタンスと、前記絶縁フィルムの第1の主面に形成され、その一端が前記半導体基板の接続電極と接続されている複数のリードと、前記絶縁フィルムの第2の主面のほぼ

全面に対向し、これと接合している接地された金属薄膜とを備えていることを第3の特徴としている。そして、少なくとも1つの半導体基板と、2つ以上の基板載置部が形成されているリードフレームと、少なくとも1つの前記基板載置部のほぼ全面に形成されている絶縁膜と、前記絶縁膜の上に形成されているインダクタンスとを備え、前記インダクタンスが形成されている前記基板載置部には半導体基板を載置せず、かつ、この基板載置部は接地されており、残りの前記基板載置部には前記半導体基板がそれぞれ載置されていることを第4の特徴としている。

【0006】

【作用】金属薄層が形成されることにより金属配線での特性インピーダンスが正確に50Ωに設定することが可能になる。また、ポリイミドなどの低誘電率材料を層間の絶縁膜に用いることにより配線間容量を大きく低減させることができる。半導体基板のほぼ全面に形成された接地された金属薄層の存在によって、インダクタンスやリードもしくはキャパシタンスを形成する際に設計段階における自由度を十分確保することができる。

【0007】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図1及至図6を参照して第1の実施例を説明する。図1は、半導体装置の平面図、図2は、前図のA-A'部分の断面図である。図3は、従来例と本発明の半導体装置の高周波損失における周波数依存性を示す特性図である。図4乃至図6は、基板の他の例を示す部分断面図である。基板には、例えば、シリコン半導体基板1を用い、この上に、例えば、ポリイミドなどからなる第1の絶縁膜2を形成する。次いで、例えば、Cuからなる金属薄層10をほぼ半導体基板1の全面に、例えば、スパッタリングなどにより形成する。この金属薄層10は、半導体基板1の周縁部にあり、金属薄膜10や後に形成されるインダクタンスなどが他と電気的に接続するために設けられる接続電極、即ち、電極パッドが形成される領域には形成されないため、前記半導体基板1の全面を完全に被覆するものではない。この金属薄層10を被覆するように、この上にポリイミドなどからなる第2の絶縁膜4を形成し、この上にCuなどの接続配線3を形成し、これをポリイミドなどの第3の絶縁膜8で被覆する。接続配線3の一端は、半導体基板1の周辺部に露出している電極パッド7と接続している。

【0008】次いで、パターニングされたフォトリソグを利用して絶縁膜8の所定の領域にRIE(Reactive Ion Etching)などによりコンタクト孔81を形成することにより接続配線3を部分的に露出する。次いで、絶縁膜8の上に、フォトリソグを利用して、例えば、Cuからなるインダクタンス6を渦巻き状に形成する。その一端は、インダクタンス6のほぼ中心に形成され、コンタクト孔81内に形成された端子5を介して接続配線3

の他端に接続されている。インダクタンス6の他端は、半導体基板1の周辺部に露出している電極パッド9と接続している。次いで、インダクタンス6を含む半導体基板1表面を、例えば、ポリイミドのようなパッシベーション膜（図示せず）で保護する。図1には、図2に示されている絶縁膜2、4、8の表示は省略している。この実施例においては、半導体基板1に集積回路を形成しない。そして、内部に集積回路が形成されている少なくとも1つの半導体基板を別に用意し、この半導体基板を前記半導体基板1とともに1つのパッケージに封止してマルチチップ型半導体装置とする。この半導体装置は、マルチチップ構造をとることによりシステム規模での集積化が可能である。

【0009】このインダクタンスが形成された基板1は、集積回路が形成された素子領域を有する半導体基板、例えば、シリコン半導体基板に接合され、パッケージングされて1チップの半導体装置として移動型通信装置などの小型機器に組込むこともできる。前述の様にインダクタンスが形成され、集積回路が形成されていない半導体基板上にキャパシタや抵抗などの受動素子を組込むことができ、この受動素子を組込んだ半導体基板と集積回路を形成した半導体基板を組合わせて半導体装置を構成する。その組合わせの仕方には、まず、集積回路を形成した半導体基板に直接接着剤などを用いて受動素子の基板を貼付ける方法がある。また、半導体基板と受動素子の基板とをワイヤボンディングなどの配線で接続する組合わせの方法もある。この配線には、TAB (Tape Automated Bonding) テープを用いることができ、リードフレームを利用して両基板を電氣的に接続することができる。金属薄層10には表面に露出する端子101を複数形成している。その1つは、他の半導体基板に形成された金属薄層に接続し、他の1つは、接地するGND端子となる。

【0010】金属薄層は、インダクタンスに入ってくる高周波信号の反射を防ぐ特性インピーダンスのばらつきを無くすることができる。図3の特性図に示すように、金属薄層が形成されない場合、 -3.0 dB が特性の良否を決める基準線とすると、周波数が約 $0.1\sim 3\text{ GHz}$ 程度のときは特性が良いが、この範囲を外れると損失が大きくなって使用が困難になる。これに対し、この金属薄層を設けることによって 10.0 GHz 以上まで使用が可能になる。この様にインダクタンスは、金属薄層の上に形成することにより特性インピーダンスが整合し、インダクタンスを通過する高周波の信号の反射および損失を低減することができるが、このような金属薄層の効果は、金属薄層が、インダクタンスに近接していることによって生じるものであり、どのような形で近接しているかは、余り関係しない。

【0011】例えば、図4は、金属薄層がインダクタンスの下に形成され、この金属薄層から分岐した金属層を

インダクタンスの渦巻き状の間に配置した例である。シリコン半導体基板1上にポリイミドの第1の絶縁膜2を形成し、その上に、周辺部を除いた半導体基板のほぼ全面に金属薄層10を形成する。その上にポリイミドの第2の絶縁膜4を被覆し、その上にインダクタンスの接続配線3をCuなどにより形成する。次いで、この接続配線3と第2の絶縁膜4の上にポリイミドからなる第3の絶縁膜8を形成し、その上に渦巻き状のインダクタンス6を形成する。インダクタンス6の中心部分の先端に端子5を形成し、この端子は、第3の絶縁膜8に形成したコンタクト孔を介して接続配線3と接続させる。この第3の絶縁膜8の上に渦巻き状インダクタンス6の間に配置されるようにCuなどの金属層104を任意の形状に形成し、第2及び第3の絶縁膜4、8に形成したコンタクト孔を通してこの金属層104と金属薄層10とを接続電極103で接続する。この半導体基板1の表面は、ポリイミドのパッシベーション膜（図示せず）で保護する。この構造によるとインダクタンス6と金属層104との間の距離 d' は図2に示すインダクタンス6と金属薄層10との間の半分にすることができ、また、金属薄層10とインダクタンス6との間の距離は、特に考慮する必要はないので、金属薄層10の位置を任意に設定することができる。

【0012】即ち、 d' は、ほぼ $d/2$ にすることができるが、図では、 d' の大きさを強調するために誇張して狭く描いている。次ぎに、図5を参照して、この実施例における他の例を説明する。金属薄層がインダクタンスの上に形成され、この金属薄層から分岐した金属層をインダクタンスの渦巻き状の間に配置した例である。シリコン半導体基板1上にポリイミドの第1の絶縁膜2を形成し、その上に、Cuなどのインダクタンスの接続配線3を形成する。その上に、ポリイミドの第2の絶縁膜4を形成し、この上にCuなどからなる渦巻き状インダクタンス6及びこの渦巻き状体の間に任意の形状のCuの金属層104を形成する。そして、インダクタンス6の中心部分の先端に端子5を形成し、この端子は、第2の絶縁膜4に形成したコンタクト孔を介して接続配線3と接続させる。次いで、インダクタンス6と金属層104等を被覆するようにポリイミドからなる第3の絶縁膜8を形成し、その上に、周辺部を除いた半導体基板のほぼ全面に金属薄層10を形成する。つぎに、第3の絶縁膜8に形成したコンタクト孔を通して、この金属層104と金属薄層10とを接続電極により接続する。この半導体基板1の表面はポリイミドのパッシベーション膜（図示せず）で保護する。この様に形成した金属薄層から分岐した金属層104は、インダクタンスの特性インピーダンスを整合させることができる。

【0013】したがって、この金属層104がインダクタンス6に近接していれば、金属薄層10が多少インダクタンス6から離れていても作用効果に格別影響は無

い。その結果、この金属薄層が段差のある変化の大きい所に配置しても特性インピーダンスが変化することはない。さらに、図6に示すように、単に図2のインダクタンス6と金属薄層10の位置を置換えた構造も、本発明に適用することは可能である。この場合は、両者間の距離を図2と同じ様にするのが好ましい。この金属薄層の材料には、Cuに限らず、AuやAlなどを用いることが可能である。層間絶縁膜などの絶縁膜に用いる低誘電率の材料には、ポリイミド以外にエポキシ樹脂などがある。インダクタンス6と金属薄層10との距離dは、大体数 μm ～数10 μm が適当である。特に、ポリイミドを金属薄層とインダクタンスとの間の絶縁膜厚は、ポリイミドなら1～10 μm 程度であり、 SiO_2 膜なら10～50 μm 程度が適当である。

【0014】次に、図7乃至図11を参照して第2の実施例について説明する。図7は、表面にインダクタンスおよびキャパシタンスが形成されている半導体基板の平面図、図8は、図7と同じ平面図であり、領域S1、S2をさらに加えている。図9は、領域S1のインダクタンス形成領域の部分平面図、図10は、領域S2のキャパシタ領域の部分平面図、図11は、図7のB-B'部分の断面図である。半導体基板1の上にポリイミドなどの低誘電率を有する第1の層間絶縁膜2が被覆されている。この第1の層間絶縁膜2の上にCuなどの金属薄層10が半導体基板1の周辺部を除いて、ほぼ全面に、例えば、真空蒸着などにより、形成される。この金属薄層10は、GND端子となる少なくとも1つの電極パッド101およびキャパシタの引出し電極に用いられる少なくとも1つの電極パッド102が半導体基板1の周辺部に形成されている。金属薄層10は、ポリイミドなどの低誘電率材料の第2の層間絶縁膜4により被覆される。この第2の層間絶縁膜4の上にフォトレジストを用いたエッチング処理により、インダクタンスの接続配線3を形成し、この一端は、渦巻き状インダクタンスの中心部が形成される予定の領域に形成し、他端は、半導体基板1周辺部に引き出し、そこに外部端子となる電極パッド7を形成する。この第2の層間絶縁膜4上には、さらに、他の接続配線31、32を形成する。

【0015】それらの一端は渦巻き状インダクタンスが形成される予定の領域に形成し、他端は半導体基板1周辺部に引き出し、そこに外部端子となる電極パッド91、92をそれぞれ形成する。第2の層間絶縁膜4の上にこれら接続配線を被覆するようにポリイミドなどの低誘電率材料の第3の層間絶縁膜8が形成される。この層間絶縁膜8の上にCuなどの低抵抗材料からなる渦巻き状のインダクタンス6を1対形成する。この層間絶縁膜8に異方性エッチングなどによりコンタクト孔を形成して層間絶縁膜8の下の接続配線3の一端部分を露出させ、インダクタンス6と接続配線3とをインダクタンス6の端子5によりコンタクト孔を通して接続する（この

コンタクト部分は図2と同じ構造になっている）。同様に、第3の層間絶縁膜8の他の部分にもコンタクト孔を形成して接続配線31、32のそれぞれ一端を露出させ、インダクタンス6の任意の箇所と接続配線31、32とをこれらコンタクト孔に形成した端子51、52によりそれぞれ接続する。接続配線をインダクタンスに接続してから半導体基板1表面をBPSGなどのパッシベーション絶縁膜（図示せず）で被覆保護する。金属薄層10の表面とインダクタンス6が形成されている第3の層間絶縁膜8の表面との間の距離d、即ち、インダクタンス/金属薄層間は、この実施例では、層間絶縁膜4、8にポリイミドを用いているので、約1 μm ～10 μm にしている。

【0016】この様にインダクタンスは、金属薄層の上に形成することにより特性インピーダンスが整合し、インダクタンスを通過する高周波の信号の反射を低減することができる。また、半導体基板のほぼ全面に金属薄層を形成するので、半導体基板上に形成されるインダクタンスの位置の自由度が増大する。さらに、この実施例では、インダクタンス6の両端の電極パッド9と端子5以外に、インダクタンス6の金属配線パターンの途中で幾つかの端子51、52を形成している。この実施例では、2個の端子を形成しているが、端子数は、任意であり必要な数だけ設けることができる。これらの金属配線パターンの途中に設けられている端子は、前記電極パッド9と同じ役割を果たすもので、電極パッド9を含めたこれらの端子の任意の1つとインダクタンス6の中心に形成された端子5との間でインダクタンスを構成している。そして、前記任意の1つの端子を選択することにより、構成されるインダクタンスの特性を任意に決定することができる。

【0017】次に、図10及び図11を参照してこの実施例のキャパシタを説明する。本発明に用いるCuなどからなる金属薄層10は、キャパシタの一方の電極に用いることができる。金属薄層10には、キャパシタの引出し電極に用いられる電極パッド102が接続されており、この電極パッド102は、その表面は露出している。金属薄層10の上には、ポリイミドなどの第2の絶縁膜4が形成され、その上にキャパシタの他方の電極となるCuなどの金属層11が複数個形成されている。金属層11を互いに接続するように、これらの上にCuなどからなる金属配線層12を形成する。この金属配線層12は、半導体基板1の周辺部にまで延在する領域があり、この領域に半導体基板1の表面に露出する複数の端子121が形成されている。ここに金属薄層10と金属層11とを対向する電極とし、第2の絶縁膜4を誘電体とするキャパシタが形成される。以上、インダクタンスを形成した半導体基板を用いて半導体装置を形成するには、この半導体基板自身に集積回路を形成する例、集積回路が形成されている半導体基板の上に、このインダク

タンスを形成した半導体基板を取付ける例あるいはインダクタンスを形成した半導体基板を含む複数の半導体基板をリードフレームの半導体基板搭載部上に取付け、これら半導体基板を1つのパッケージに収める例などが挙げられる。

【0018】次に、図12乃至図20を参照して前記インダクタンスを形成した半導体基板を他の半導体基板と組合わせて構成した半導体装置の例を説明する。図12は、集積回路などが形成されている半導体基板の上に前記インダクタンスを形成した半導体装置の断面図である。半導体基板13には集積回路や抵抗アレーなどを形成し、その表面は、多層配線などの配線構造が形成されており、それらを被覆するようにパッシベーション絶縁膜が形成されている（図示せず）。この様に表面が処理された半導体基板13の表面にA1などのリード配線14がスパッタリング法などを用いて形成される。リード配線表面はAuメッキやSnメッキが施されている。この半導体基板13の表面にインダクタンス6を形成した半導体基板1を絶縁性のエポキシ樹脂などの接着剤で接合する。そして、半導体基板1の周辺部に形成されたインダクタンスやキャパシタの電極パッド7、9と半導体基板13上のリード配線14とは、ワイヤボンディング15などにより接続されている。金属薄膜10は、半導体基板13のGND端子に、ワイヤボンディング14の1つにより接続されている。図は模式的に描いているので、半導体基板1の全面を金属薄膜10で覆っているが、実際は、図1などに示すように半導体基板1の周縁部分にはこの薄膜を形成しない。以下の図面も同様である。

【0019】図13は、この半導体基板13上のリード配線14と半導体基板1とが半導体基板1上の電極パッド7、9に形成したAuパンプなどを介して接続される半導体装置の断面図である。半導体基板1表面の金属薄膜10の端子101にもパンプを取付けて前記リード配線14のうちの接地リード配線に接続する。図14は、半導体基板1をTAB（Tape Automated Bonding）テープに装着してTABテープの絶縁フィルム16に取付けたリード17を半導体基板13のリード配線14に半田接続した半導体装置の断面図である。このインダクタンスやキャパシタが形成された半導体基板1は、数多くのリードを用いないのでTABテープを用いるには効率的ではない。半導体基板1表面の金属薄膜10の端子にもリード17を接続し、このリード17を介して前記リード配線14のうちの接地リード配線に端子を接続する。半導体基板1表面は、例えば、モールド樹脂25などで被覆されている。

【0020】図15は、インダクタンスをTABテープに搭載した半導体装置の平面図、図16は、その部分断面図である。この実施例では、TABテープの絶縁フィルム16にリード17とともにインダクタンス6を形成

する。通常TABテープを形成する方法に従い、ポリイミドフィルム16にCu箔を貼着し、これを選択エッチングしてインダクタンスおよびリード17を同じ工程で形成する。外部回路に接続するインダクタンスの一端には、分岐点がインダクタンスの前記一端近傍に設けられている分岐部に接続配線31、32が形成されていて、それらの端部はやはり外部回路に接続されるようになっている。インダクタンス6の他端は、Cuなどの接続配線3に接続され、この接続配線3は、TABテープのデバイスホール19に突出していて、デバイスホール19内に搭載される半導体基板13の周辺部に形成された接続電極に接続される。このTABテープは、不要部分を接続除去してから、リード17及び分岐部の接続配線31、32とインダクタンスコイルの前記一端を回路基板の回路パターンに接続する。金属薄膜10をTABテープに取付けるには、接続配線3、31、32を形成した第1の絶縁フィルム16の裏側にCu箔などの金属薄膜10を貼付けた第2の絶縁フィルム21を貼付ける。この時金属薄膜は、ポリイミドフィルム16のほぼ全域（送り孔の部分などの周辺部分を含めても良いし、開口部で囲まれた部分だけに張り付けても良い）覆うように貼付けると、リードに対する高周波特性も改善させることができる（図16）。

【0021】図17に、デバイスホールが2つ形成されたTABテープ26の例を示す。TABテープのデバイスホールの数は、2つ以上でも良く、また、それぞれの大きさが異なっても良い。一方のデバイスホール191にはインダクタンスが形成された半導体基板1を搭載し、他方デバイスホール192には集積回路や抵抗アレーなどを形成した半導体基板13を搭載する。この図に説明したTABテープ26のフィルム16に図16のインダクタンスを形成することも可能であり、その構成は、適宜に組合わせることができる。

【0022】次に、リードフレームを用いた半導体装置を説明する。図18は、その半導体装置の断面図である。Cuなどから構成されたリードフレームの半導体基板搭載部（以下、ベッド部という）22には、インダクタンスが形成された半導体基板1が搭載されており、その他のベッド部221、222には、集積回路や抵抗アレーが形成されている半導体基板13が搭載されている。半導体基板間及び半導体基板とリードフレームのリード23の間等これら相互の接続は、ボンディングワイヤ15を用いて行われる。半導体基板1の金属薄膜10も、ボンディングワイヤを利用してリードフレームの接地リード24と接続される。半導体基板、ベッド部、ボンディングワイヤ、リードの一部をエポキシ樹脂などのモールド樹脂25で被覆する。図19は、リードフレームを用いた他の半導体装置の断面図である。ここではベッド部22を金属薄膜10として利用したことに特徴がある。ベッド部は、接地リードと接続することができ

ば、シールド作用のある金属薄層として用いることができる。図示のように、ベッド部 22 の表面にポリイミドからなる絶縁膜 2 を形成し、その上にインダクタンス 6 を形成する。ベッド部 22 と接地リード 24 は、ボンディングワイヤ 15 を介して互いに接続される。

【0023】ベッド部 221 又は 222 もインダクタンスを形成した半導体基板 1 を搭載することが可能である。ベッド部 22 と半導体基板 13 とは、ボンディングワイヤ 15 で接続する。リードフレームを用いる場合、複数のベッド部に搭載された半導体基板を相互に接続するために、TAB テープを利用することもできる。以上、本発明においては、インダクタンスコイルに金属薄層を近接させることにより、インダクタンスに入ってくる信号の反射を防ぐ特性インピーダンス 50Ω を約 $\pm 15\%$ の精度でばらつき無く形成することができるようになる。さらにインダクタンスの材料に Cu などのような低抵抗の材料にし、層間絶縁膜をポリイミドのような低誘電率の材料にすれば、インダクタンスの抵抗成分が約 40% も低下し、容量成分は、約 50% も低下する。さらに、100MHz 以上での周波数帯でも使用することができる。また、インダクタンスコイルの一端から複数の端子を取出すようにしているので、半導体装置の対応の自由度を大きくしている。その上、インダクタンスを含んだ半導体基板を個別に複数形成し、これらを 1 つの半導体装置とするマルチチップ構造を取ることにによりシステム規模での集積化が可能になる。この時、インダクタンスは、シリコン基板上に作成しているために従来のアッセンブリ工程での対応が可能である。

【0024】

【発明の効果】基板のほぼ全面に形成した接地した金属薄層をインダクタンスに近接させることにより、100MHz 以上の周波数帯でも良好な特性を有するインダクタンスが形成された高周波特性が良く設計上の自由度が高い半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係る半導体基板の部分平面図。

【図 2】図 1 の A-A' 部分の部分断面図。

【図 3】高周波損失の周波数依存性を示す特性図。

【図 4】第 1 の実施例に係る半導体基板の部分断面図。

【図 5】第 1 の実施例に係る半導体基板の部分断面図。

【図 6】第 1 の実施例に係る半導体基板の部分断面図。

【図 7】第 2 の実施例に係る半導体基板の平面図。

【図 8】第 2 の実施例に係る半導体基板の平面図。

【図 9】図 8 に示された半導体基板の部分平面図。

【図 10】図 8 に示された半導体基板の部分平面図。

【図 11】図 8 に示された半導体基板の部分断面図。

【図 12】本発明の半導体装置の断面図。

【図 13】本発明の半導体装置の断面図。

【図 14】本発明の半導体装置の断面図。

【図 15】本発明の半導体装置の平面図。

【図 16】図 14 に示された半導体装置の断面図。

【図 17】本発明の半導体装置の平面図。

【図 18】本発明の半導体装置の平面図。

【図 19】本発明の半導体装置の断面図。

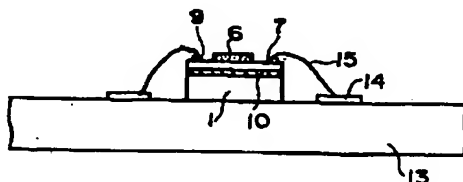
【図 20】従来の半導体装置に用いる半導体基板の部分平面図。

【図 21】図 20 の半導体基板の部分断面図。

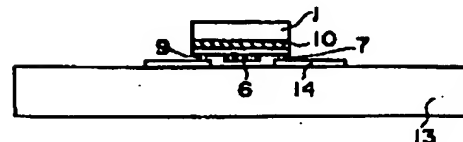
【符号の説明】

1、13	半導体基板
2、4、8	絶縁膜
3、31、32	接続配線
5、51、52	端子
6	インダクタンス
7、9、91、92、101、102、121	電極パッド
10	金属薄層
11	キャパシタ電極
12	金属配線層
14	リード配線
15	ボンディングワイヤ
16	ポリイミドフィルム
17、23	リード
19、191、192	デバイスホール
21	絶縁フィルム
22、221、222	ベッド部
24	接地リード
25	モールド樹脂
26	TAB テープ
41、81	コンタクト孔
103	接続電極
104	金属層

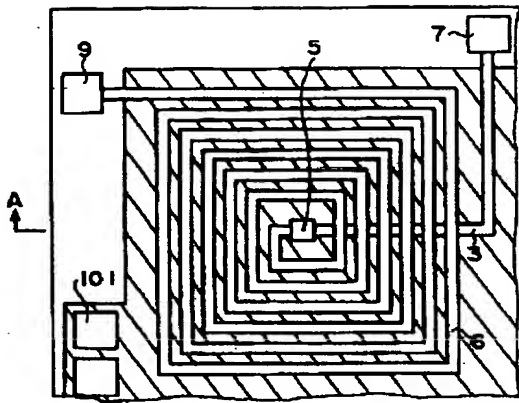
【図 12】



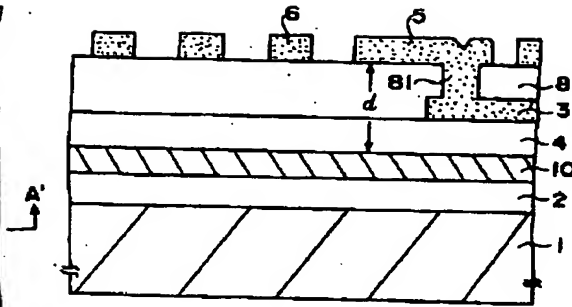
【図 13】



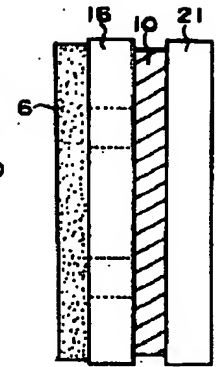
【図1】



【図2】

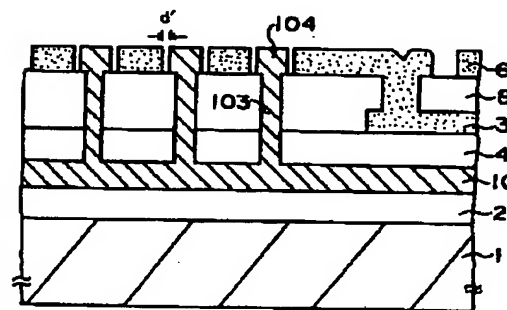
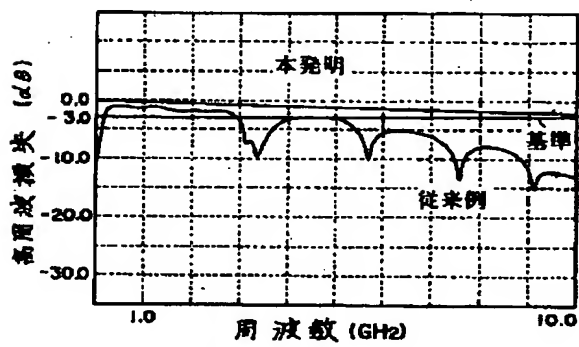


【図16】

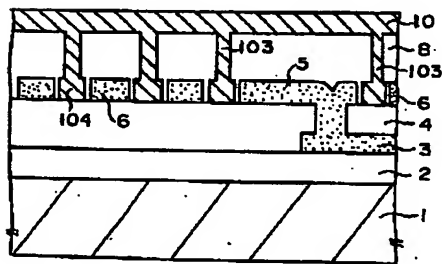


【図4】

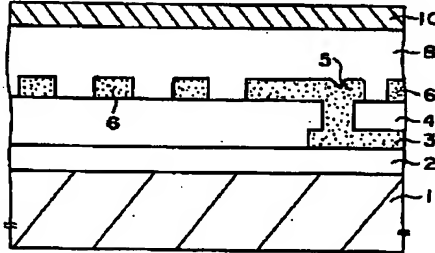
【図3】



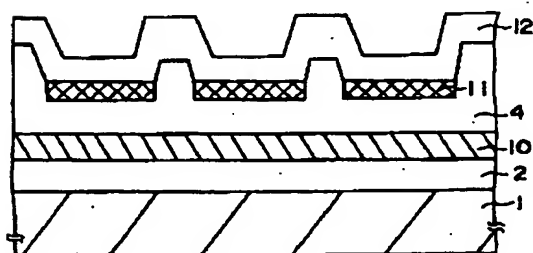
【図5】



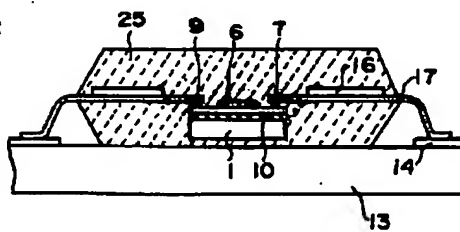
【図6】



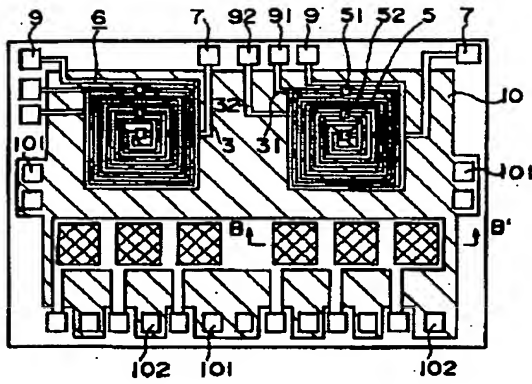
【図11】



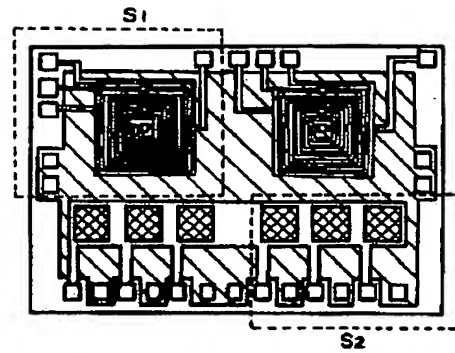
【図14】



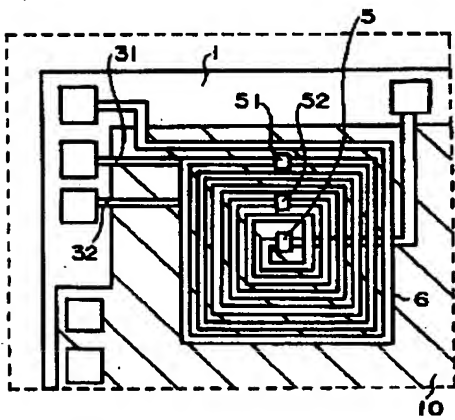
【図7】



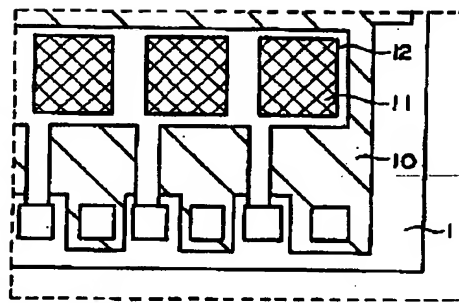
【図8】



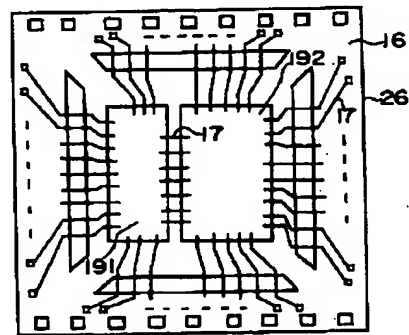
【図9】



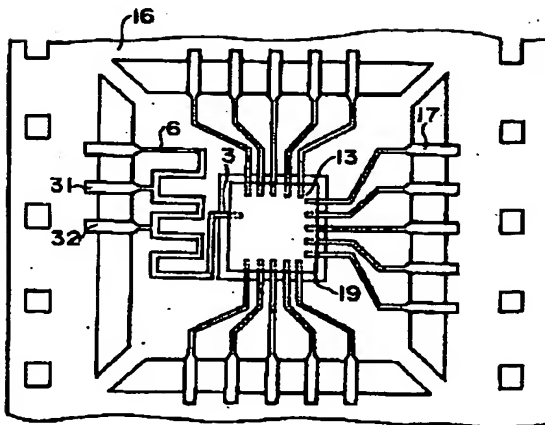
【図10】



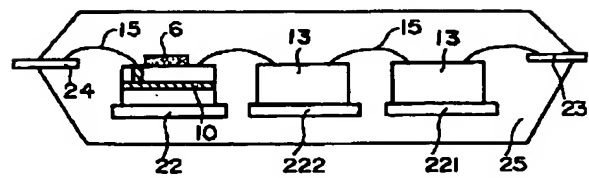
【図17】



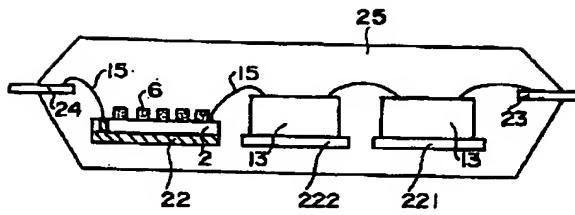
【図15】



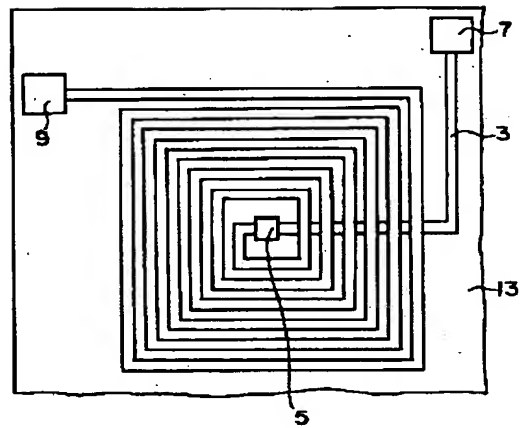
【図18】



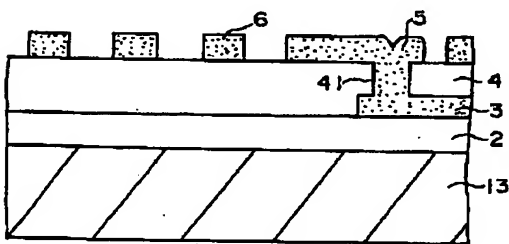
【図19】



【図20】



【図21】



【手続補正書】

【提出日】平成5年7月29日

【手続補正1】

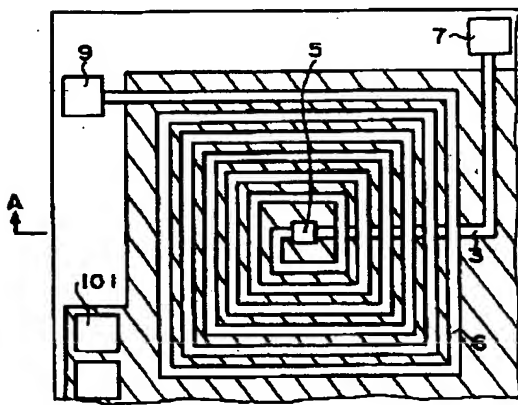
【補正対象書類名】図面

【補正対象項目名】全図

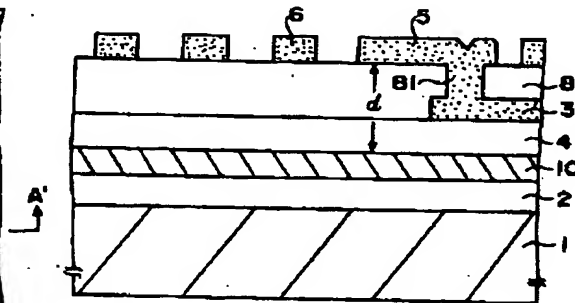
【補正方法】変更

【補正内容】

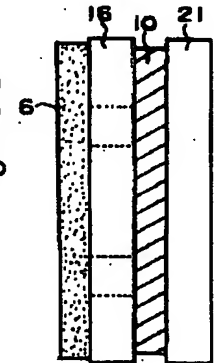
【図1】



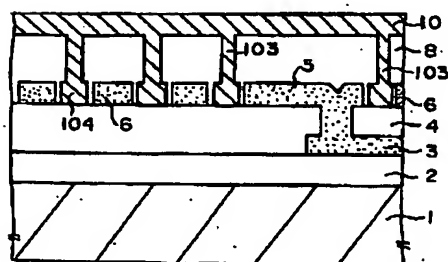
【図2】



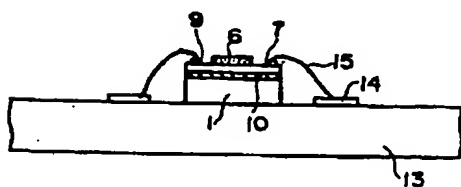
【図16】



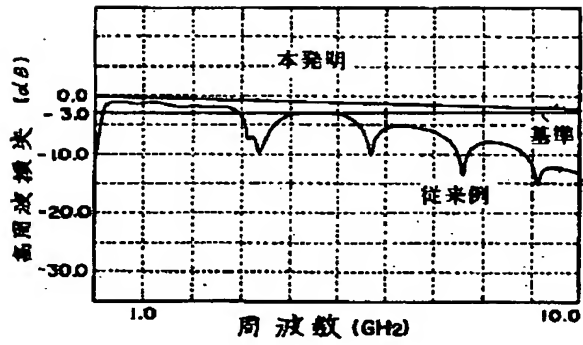
【図5】



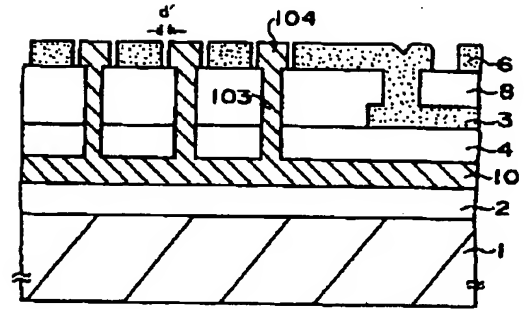
【図12】



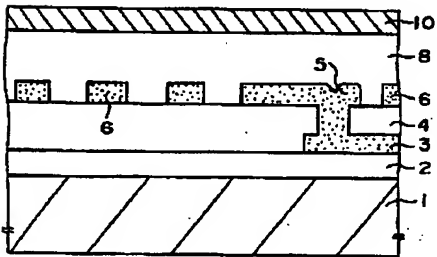
【図3】



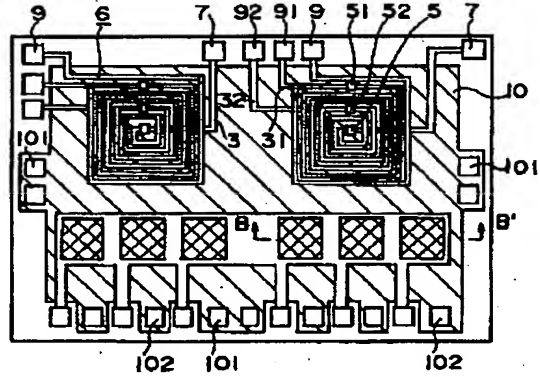
【図4】



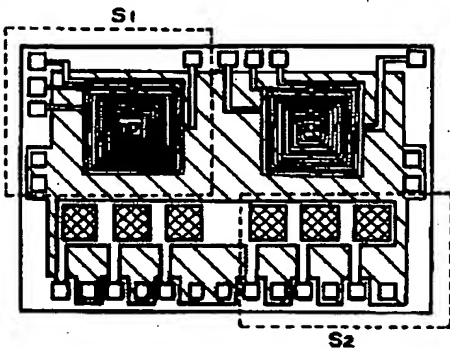
【図6】



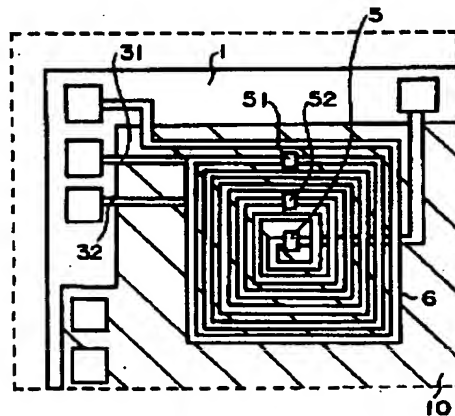
【図7】



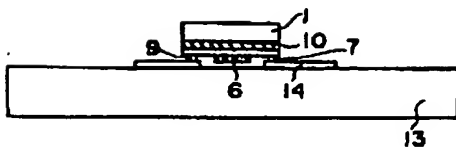
【図8】



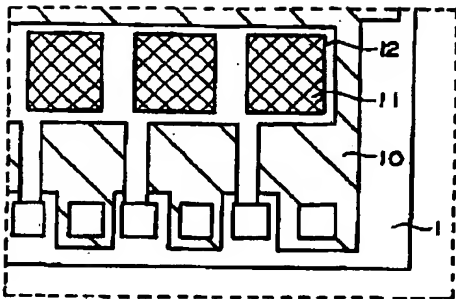
【図9】



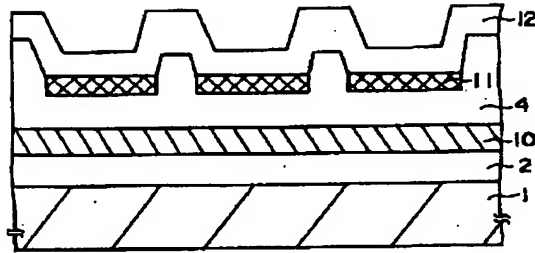
【図13】



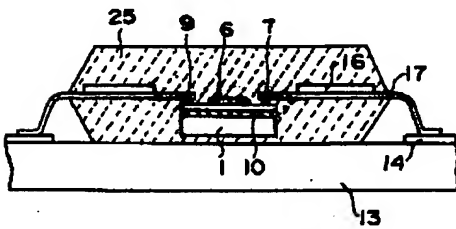
【図10】



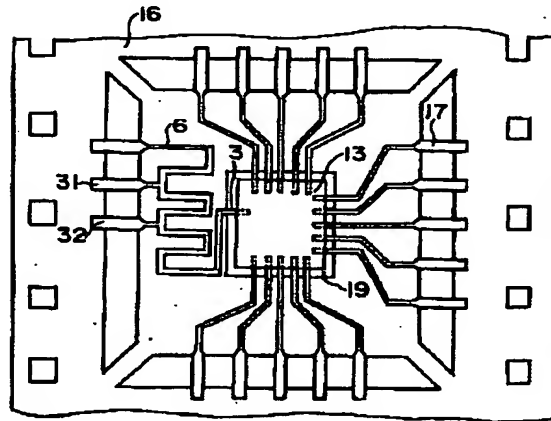
【図11】



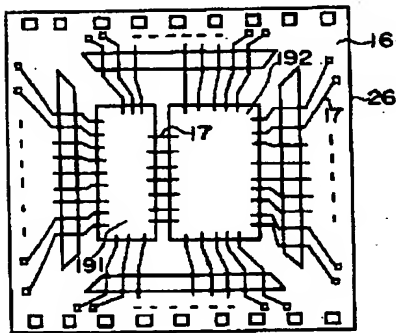
【図14】



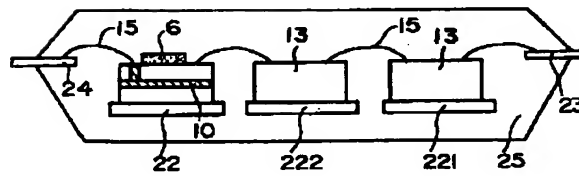
【図15】



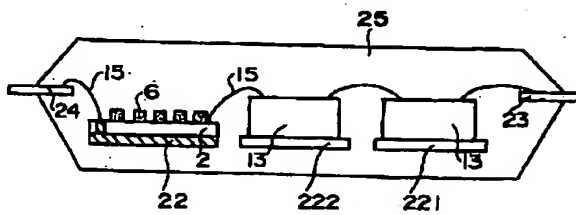
【図17】



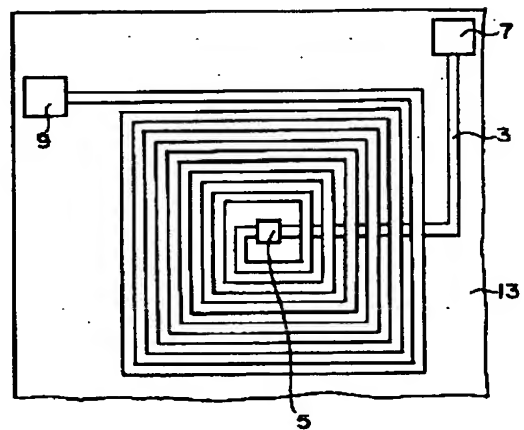
【図18】



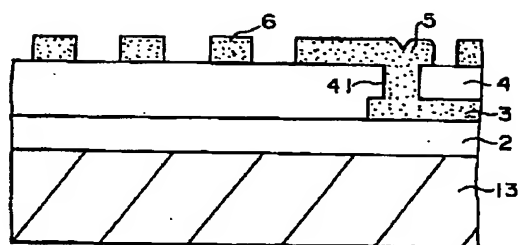
【図19】



【図20】



【図21】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.